

PCT/JP 2004/011029

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

27. 7. 2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2 0 0 3 年 1 0 月 7 日

出 願 番 号  
Application Number: 特 願 2 0 0 3 - 3 4 7 8 0 3  
[ST. 10/C]: [ J P 2 0 0 3 - 3 4 7 8 0 3 ]

出 願 人  
Applicant(s): ソニー株式会社

REC'D 10 SEP 2004

WIPO

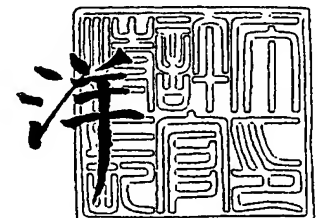
P

PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17 1(a) OR (b)

2 0 0 4 年 8 月 2 7 日

特許庁長官  
Commissioner,  
Japan Patent Office

小 川



出証番号 出証特 2 0 0 4 - 3 0 7 6 7 6 8

【書類名】 特許願  
【整理番号】 0390592203  
【提出日】 平成15年10月 7日  
【あて先】 特許庁長官 殿  
【国際特許分類】 H03K 19/0185  
【発明者】  
    【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内  
    【氏名】 村瀬 正樹  
【発明者】  
    【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内  
    【氏名】 仲島 義晴  
【発明者】  
    【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内  
    【氏名】 木田 芳利  
【特許出願人】  
    【識別番号】 000002185  
    【氏名又は名称】 ソニー株式会社  
【代理人】  
    【識別番号】 100102185  
    【弁理士】  
    【氏名又は名称】 多田 繁範  
    【電話番号】 03-5950-1478  
【先の出願に基づく優先権主張】  
    【出願番号】 特願2003-280583  
    【出願日】 平成15年 7月28日  
【手数料の表示】  
    【予納台帳番号】 047267  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 9713935

**【書類名】 特許請求の範囲****【請求項 1】**

一定の周期で、一定期間の間、一定の論理レベルに保持される休止期間を有する入力データを処理するデータ処理回路に対して、

前記休止期間の間の所定のタイミングで、前記入力データに前記一定の論理レベルとは逆の論理レベルによるダミーデータを介挿する

ことを特徴とする遅延時間補正回路。

**【請求項 2】**

一定の周期で、一定期間の間、一定の論理レベルに保持される休止期間を有する入力データを処理するデータ処理回路において、

前記休止期間の間の所定のタイミングで、前記入力データに前記一定の論理レベルとは逆の論理レベルによるダミーデータを介挿する

ことを特徴とするデータ処理回路。

**【請求項 3】**

前記入力データがビデオデータであり、

前記休止期間が、水平ブランキング期間又は垂直ブランキング期間である

ことを特徴とする請求項 1 に記載のデータ処理回路。

**【請求項 4】**

マトリックス状に画素を配置してなる表示部と、

前記表示部の画素をゲート線により順次選択する垂直駆動回路と、

前記画素の階調を示す階調データを順次サンプリングしてアナログ信号に変換し、前記表示部の信号線を前記アナログ信号により駆動することにより、前記ゲート線により選択された画素を駆動する水平駆動回路とを一体に基板上に形成してなるフラットディスプレイ装置において、

前記階調データの水平ブランキング期間の間の所定のタイミングで、前記階調データに前記水平ブランキング期間の論理レベルとは逆の論理レベルによるダミーデータを介挿して前記階調データを処理する

ことを特徴とするフラットディスプレイ装置。

**【請求項 5】**

低温ポリシリコンにより前記階調データを処理する能動素子が形成されてなる

ことを特徴とする請求項 4 に記載のフラットディスプレイ装置。

**【請求項 6】**

C G S により前記階調データを処理する能動素子が形成されてなる

ことを特徴とする請求項 4 に記載のフラットディスプレイ装置。

## 【書類名】明細書

【発明の名称】遅延時間補正回路、ビデオデータ処理回路及びフラットディスプレイ装置

## 【技術分野】

【0001】

本発明は、遅延時間補正回路、ビデオデータ処理回路及びフラットディスプレイ装置に関し、例えば絶縁基板上に駆動回路を一体に形成した液晶表示装置に適用することができる。本発明は、入力データにダミーデータを介挿して入力データの論理レベルを強制的に切り換えることにより、TFT等による論理回路において遅延時間の変化を有効に回避することができるようにする。

## 【背景技術】

【0002】

近年、例えばPDA、携帯電話等の携帯端末装置に適用されるフラットディスプレイ装置である液晶表示装置においては、液晶表示パネルを構成する絶縁基板であるガラス基板上に、液晶表示パネルの駆動回路を一体に集積化して構成するものが提供されるようになされている。

【0003】

すなわちこの種の液晶表示装置は、液晶セルと、この液晶セルのスイッチング素子である低温ポリシリコンTFT (Thin Film Transistor; 薄膜トランジスタ) と、保持容量とによる画素をマトリックス状に配置して表示部が形成され、この表示部の周囲に配置した各種の駆動回路により表示部を駆動して各種の画像を表示するようになされている。

【0004】

このような液晶表示装置においては、例えば順次ラスタ走査順に入力されてなる各画素の階調を示す階調データを奇数列及び偶数列の階調データに分離し、これら奇数列及び偶数列の階調データに基づいて、それぞれ表示部の上下に設けた奇数列用及び偶数列用の水平駆動回路で表示部を駆動することにより、表示部における配線パターンを効率良くレイアウトして高精細に画素を配置するようになされている。

【0005】

このように各水平駆動回路における階調データの処理においては、液晶表示装置に入力する階調データの配列との関係で、例えば特開平10-17371号公報、特開平10-177368号公報等に、種々の工夫が提案されるようになされている。

【0006】

このような液晶表示装置に適用される低温ポリシリコンTFTによるこの種の論理回路においては、長期間、入力値がLレベルに保持されると、続く論理レベルの立ち上がりの応答において遅延時間が長くなり、これにより直前の論理レベルの長さに応じて遅延時間が変化する問題がある。

【0007】

すなわち図11及び図12に示すようにこの種の論理回路において、例えば、メインクロックMCK (図12 (A)) に同期した入力データD1 (図12 (B)) をレベルシフタ1に入力し、0~3 [V] による振幅を0~6 [V] に変換して出力する場合に、入力データD1の論理レベルがデューティ比50 [%] により切り換わっている期間T1において、遅延時間 $t_d$ は、ほぼ一定となる。これに対して期間T2により示すように、入力データD1の論理レベルがLレベルに長時間保持されると、直後の遅延時間 $t_{d1}$ においては、期間T1における遅延時間 $t_d$ より長くなる (図12 (C))。

【0008】

これにより図13に示すように、階調データの各ビットD1 (図13 (B1) 及び (B2)) をレベルシフトさせてサブクロックSCK (図13 (A)) によりラッチする場合に、この階調データが高転送速度によるデータの場合、この階調データの各ビットD1において論理レベルがデューティ比50 [%] により切り換わっている期間T1においては、このサブクロックSCKにより正しくレベルシフタ1の出力データD2Aをラッチできるのに対し (図13 (B1) 及び (C1))、例えば垂直ブランキング期間VBLの直

後においては、正しくレベルシフト1の出力データD2をラッチできなくなる(図13(B2)及び(C2))。

#### 【0009】

このように正しくデータをラッチできない場合、液晶表示装置においては、上述したように、階調データを偶数列と奇数列とに分離して高解像度の表示部を駆動する場合、垂直ブランキング期間の直後において、局所的に誤った階調により画素を駆動することになる。また例えば黒色の背景の中にウィンド形状により白色の領域を表示する場合に、この白色の領域の走査開始端側でも、同様に誤った階調により画素を駆動することになる。また液晶表示装置においては、このような階調データD1が表示部の階調数に対応する例えば6ビットパラレルにより入力され、このような遅延時間の変化においては、階調データの各ビットで発生することにより、階調データの特定ビットだけ誤ったデータをラッチする場合も発生し、これらにより表示に供する画像によっては、著しく見苦しくなる。

【特許文献1】特開平10-17371号公報

【特許文献2】特開平10-177368号公報

#### 【発明の開示】

#### 【発明が解決しようとする課題】

#### 【0010】

本発明は以上の点を考慮してなされたもので、TFT等による論理回路において遅延時間の変化を有効に回避することができる遅延時間補正回路、このような遅延時間補正回路によるビデオデータ処理回路及びフラットディスプレイ装置を提案しようとするものである。

#### 【課題を解決するための手段】

#### 【0011】

かかる課題を解決するため請求項1の発明においては、遅延時間補正回路に適用して、一定の周期で、一定期間の間、一定の論理レベルに保持される休止期間を有する入力データを処理するデータ処理回路に対して、休止期間の間の所定のタイミングで、入力データに一定の論理レベルとは逆の論理レベルによるダミーデータを介挿する。

#### 【0012】

また請求項2の発明においては、一定の周期で、一定期間の間、一定の論理レベルに保持される休止期間を有する入力データを処理するデータ処理回路に適用して、休止期間の間の所定のタイミングで、入力データに一定の論理レベルとは逆の論理レベルによるダミーデータを介挿する。

#### 【0013】

また請求項4の発明においては、フラットディスプレイ装置に適用して、階調データの水平ブランキング期間の間の所定のタイミングで、階調データに水平ブランキング期間の論理レベルとは逆の論理レベルによるダミーデータを介挿して階調データを処理する。

#### 【0014】

請求項1の構成により、遅延時間補正回路に適用して、一定の周期で、一定期間の間、一定の論理レベルに保持される休止期間を有する入力データを処理するデータ処理回路に対して、休止期間の間の所定のタイミングで、入力データに一定の論理レベルとは逆の論理レベルによるダミーデータを介挿すれば、何らダミーデータを介挿しない場合に比して、続く論理レベルの変化における遅延時間を短くし得、その分、TFT等による論理回路において遅延時間の変化を有効に回避することができる。

#### 【0015】

これにより請求項2、請求項4の構成によれば、TFT等による論理回路において遅延時間の変化を有効に回避して、この遅延時間の変化による各種影響を有効に回避してデータ処理し得、また所望の画像を表示することができる。

#### 【発明の効果】

#### 【0016】

本発明によれば、TFT等による論理回路において遅延時間の変化を有効に回避するこ

とができるビデオデータ処理回路及びフラットディスプレイ装置を提供することができる。

【発明を実施するための最良の形態】

【0017】

以下、適宜図面を参照しながら本発明の実施例を詳述する。

【実施例1】

【0018】

(1) 遅延時間補正原理

図1は、図9との対比により本発明に係る遅延時間補正原理の説明に供するブロック図である。この補正原理においては、一定の周期で、一定期間の間、一定の論理レベルに保持される入力データを処理するデータ処理回路に対して、この一定の論理レベルに保持される期間の間の所定のタイミングで、この一定の論理レベルとは逆の論理レベルによるダミーデータを入力データに介挿する。なおここでこのように一定の周期で、一定期間の間、一定の論理レベルに保持される期間は、例えばビデオデータにおける水平ブランキング期間のように、有意なデータの伝送に供していない期間であり、以下においては、この期間を適宜、休止期間と呼ぶ。

【0019】

すなわちこのデータ処理回路が例えばレベルシフタ1であって、図2に示すように、メインクロックMCK(図2(A))に同期した階調データD1を振幅0~3[V]から振幅0~6[V]に補正して出力データD2を出力する場合に(図2(B)及び(D))、この階調データD1が一定の周期で、一定期間の間、一定の論理レベルに保持される水平ブランキング期間T2の間、論理Lレベルから立ち上がるダミーデータDDを階調データD1に介挿する。このため例えばオア回路4を介して、このダミーデータDDによるリセットパルスHDrstを階調データD1に介挿する(図2(C))。

【0020】

これによりこの補正原理においては、何らダミーデータDDを介挿しない場合に比して、この水平ブランキング期間T2の直後の論理レベルの立ち上がりにおける遅延時間td1を短くするようになされ、直前の論理レベルの長さに応じて遅延時間が変化する問題を解決するようになされている。すなわちこのようにダミーデータDDを介挿すれば、強制的に入力データの論理レベルに切り換えて、何らダミーデータDDを介挿しない場合に比して、入力データの論理レベルを論理Lレベルに保持する期間を短くすることができ、その分、この入力データD1によるデータ列において、遅延時間の変動を少なくすることができる。従ってその分、誤ったデータのラッチ等を有効に回避することができる。

【0021】

すなわち図11との対比により図3に示すように、このような論理回路出力をサブクロックSCK(図3(A))でサンプリングする場合にあっても、垂直ブランキング期間VBLの間の水平ブランキング期間でダミーデータDDが介挿されていることにより、垂直ブランキング期間VBLに続く論理レベルの立ち上がりにおける出力データD2の遅延時間を短くし得、有効映像期間における場合と同様のタイミングにより出力データD2をサンプリングしてラッチすることができ(図3(B1)~(C2))、これにより垂直ブランキング期間VBLの立ち上がりに対応する画素を正しい階調により表示することができる。また黒レベルが数ライン連続して白レベルに立ち上がるような場合、さらには複数ビットの特定ビットが数ライン連続してLレベルに保持されて立ち上がるような場合でも、正しく入力データD1をラッチし得、これにより液晶表示装置に適用して各画素の階調を正しく表示することができる。

【0022】

ところで図10について上述した遅延時間の変化においては、入力データD1が長時間論理Lレベルに保持された直後に、論理レベルが立ち上がった場合に、この立ち上がった論理レベルの立ち下がりが遅延するものである。しかしながらこのような論理レベルの立ち上がりのタイミングを詳細に検討したところ、入力データD1が長時間論理Lレベルに

保持された場合、立ち上がりのタイミングにあっては、図 11 との対比により図 4 に示すように、立ち下りのタイミングとは逆に、遅延時間が短くなることが判った（図 4（A）～（C2））。これにより入力データ D1 をサンプリングするタイミングが、論理レベルが切り換わる直前に設定されている場合であって、サンプリングに係る位相余裕が少ない場合、この立ち上がりのタイミングに係る遅延時間の変化によっても、データを正しく処理できなくなる。

#### 【0023】

しかしながらこのような設定に係る場合でも、この補正原理に係るように休止期間にデータミュータを介挿すれば、このような立ち上がりに係る遅延時間の減少する方向への遅延時間の変化についても補正することができ、これにより例えば液晶表示装置に適用して各画素の階調を正しく補正することができる。

#### 【0024】

##### （2）実施例の構成

図 5 は、本発明の実施例に係る液晶表示装置を示すブロック図である。この液晶表示装置 11 においては、この図 5 に示す各駆動回路が表示部 12 の絶縁基板であるガラス基板上に一体に作成され、後述する水平駆動回路、タイミングジェネレータ等の駆動回路においては、低温ポリシリコンによる TFT により作成される。

#### 【0025】

ここで表示部 12 は、液晶セルと、この液晶セルのスイッチング素子である TFT と、保持容量とにより各画素が形成され、この各画素をマトリックス状に配置して矩形形状により形成される。

#### 【0026】

垂直駆動回路 13 は、タイミングジェネレータ 14 から出力される各種タイミング信号により、この表示部 12 のゲート線を駆動し、これによりライン単位で表示部 12 に設けられた画素を順次選択する。水平駆動回路 15 O 及び 15 E は、それぞれ表示部 12 の上下に設けられ、シリアルパラレル（SP）変換回路 16 から出力される奇数列及び偶数列の階調データ D<sub>od</sub> 及び D<sub>ev</sub> を順次循環的にラッチした後、各ラッチ出力をディジタルアナログ変換処理し、その結果得られる駆動信号により表示部 12 の各信号線を駆動する。これにより水平駆動回路 15 O 及び 15 E は、それぞれ表示部 12 の奇数列及び偶数列の信号線を駆動し、垂直駆動回路 13 で選択された各画素を階調データ D<sub>od</sub> 及び D<sub>ev</sub> に応じた階調に設定する。

#### 【0027】

タイミングジェネレータ 14 は、この液晶表示装置 11 の上位の装置から供給される各種基準信号より、この液晶表示装置 11 の動作に必要な各種タイミング信号を生成して出力する。シリアルパラレル変換回路 16 は、この液晶表示装置 11 の上位の装置から出力される階調データ D1 を奇数列及び偶数列の階調データ D<sub>od</sub> 及び D<sub>ev</sub> に分離して出力する。ここで階調データ D1 は、各画素の階調を示すデータであり、表示部 12 の画素の配列に対応する赤色、青色、緑色の色データのラスタ走査順の連続によるビデオデータにより形成されるようになされている。

#### 【0028】

図 6 は、このシリアルパラレル変換回路 16 を関連する構成を共に示すブロック図である。このシリアルパラレル変換回路 16 は、0～3〔V〕による階調データ D1 の振幅をレベルシフタ 21 により 0～6〔V〕の振幅に変換した後、ラッチ回路 22、23 により交互にラッチして奇数列及び偶数列の階調データ D<sub>od</sub> 及び D<sub>ev</sub> に分離し、ダウンコンバータ 24、25 により元の振幅に戻して出力する。これによりシリアルパラレル変換回路 16 は、レベルシフタ 21 によるレベルシフトにより階調データ D1 の振幅を拡大して処理して、高転送レートによる階調データ D1 を確実に 2 系統の階調データに分離するようになされている。

#### 【0029】

この階調データ D1 に係る処理において、シリアルパラレル変換回路 16 は、レベルシ

フタ 21 の出力段にオア回路 27 が設けられ、このオア回路 27 により階調データ D1 の水平ブランキング期間で、階調データ D1 にダミーデータ DD が介挿される。これによりこの液晶表示装置 11 では、階調データ D1 が長時間 L レベルに保持されることによる遅延時間の変化を防止し、続くラッチ回路 22、23 において、正しく階調データ D1 をラッチできるようになされている。なおこの液晶表示装置 11 では、レベルシフタ 21 で発生する遅延時間の変化だけでは、誤って階調データ D1 をラッチしないことにより、このようにレベルシフタ 21 の出力段において、ダミーデータ DD を介挿するようになされている。

#### 【0030】

このためタイミングジェネレータ (TG) 14 においては、各水平ブランキングの期間の間で信号レベルが立ち上がるリセットパルス HD r s t を出力してオア回路 27 に供給するようになされている。

#### 【0031】

図 7 は、ラッチ回路 22 を示す接続図である。ラッチ回路 22 及び 23 においては、ラッチのタイミングを制御するサンプリングパルス s p 及び x s p がそれぞれタイミングジェネレータ 14 から供給される点を除いて同一に構成されることにより、以下においては、ラッチ回路 22 についてのみ構成を説明し、ラッチ回路 23 については説明を省略する。またリセットパルス r s t に係る処理については、記載を省略して示す。

#### 【0032】

このラッチ回路 22 においては、サンプリングパルス s p をインバータ 31 に入力し、このサンプリングパルス s p の反転信号を生成する。ラッチ回路 22 は、このサンプリングパルス s p によりオン状態に切り換わる P チャンネル MOS (以下、PMOS と呼ぶ) トランジスタ Q1、インバータ 31 より出力されるラッチパルス s p の反転信号によりオン状態に切り換わる N チャンネル MOS (以下、NMOS と呼ぶ) トランジスタ Q2 によりそれぞれ正側及び負側電源 VDD 及び VSS に接続されてなるインバータ 32 に階調データ D1 が入力される。またそれぞれサンプリングパルス s p の反転信号によりオン状態に切り換わる P チャンネル MOS トランジスタ Q3、サンプリングパルス s p によりオン状態に切り換わる N チャンネル MOS トランジスタ Q4 により正側及び負側電源 VDD 及び VSS に接続されてなるインバータ 33 の出力と、インバータ 32 の出力とが接続され、これらインバータ 33、32 の出力が、インバータ 33 と入力を共通に接続してなるインバータ 34 に接続される。これによりラッチ回路 22 は、ラッチセルを構成し、サンプリングパルス s p により階調データ D1 をラッチするようになされている。

#### 【0033】

またラッチ回路 22 においては、それぞれサンプリングパルス s p の反転信号によりオン状態に切り換わる P チャンネル MOS トランジスタ Q5、サンプリングパルス s p によりオン状態に切り換わる N チャンネル MOS トランジスタ Q6 により正側及び負側電源 VDD 及び VSS に接続されてなるインバータ 35 にインバータ 34 の出力が供給される。またサンプリングパルス s p によりオン状態に切り換わる P チャンネル MOS トランジスタ Q7、サンプリングパルス s p の反転信号によりオン状態に切り換わる N チャンネル MOS トランジスタ Q8 によりそれぞれ正側及び負側電源 VDD 及び VSS に接続されてなるインバータ 36 の出力と、インバータ 35 の出力とが接続され、これらインバータ 35、36 の出力が、インバータ 36 と入力を共通に接続してなるインバータ 37 の出力に接続される。ラッチ回路 22 は、このインバータ 37 の出力がバッファ 38 を介して出力される。これによりラッチ回路 22 は、階調データ D1 をそれぞれ奇数列及び偶数列により分離してなる振幅 0～6 [V] の階調データ D o d 1 及び D e v 1 を出力するようになされている。

#### 【0034】

図 8 は、ダウンコンバータ 24 を示す接続図である。ダウンコンバータ 24、25 は、処理対象のデータが異なる点を除いて同一に構成されることにより、以下においては、ダウンコンバータ 24 についてのみ構成を説明し、ダウンコンバータ 25 については説明を



省略する。

#### 【0035】

このダウンコンバータ24は、6[V]の正側電源VDD2及び0[V]の負側電源VSSにより動作するインバータ41、このインバータ41の負側レベルを-3[V]に立ち下げるレベルシフタ42、6[V]の正側電源VDD2及び-3[V]の負側電源VSS2により動作してこのレベルシフタ42の出力のバッファリングして出力するインバータ43及び44の直列回路、3[V]の正側電源VDD1及び0[V]の負側電源VSSにより動作してインバータ44の出力の反転信号を出力するインバータ45により構成され、これらにより奇数列及び偶数列の階調データD<sub>od</sub>及びD<sub>ev</sub>を元の振幅により出力する。

#### 【0036】

具体的に、レベルシフタ42は、PチャンネルMOSトランジスタQ11、NチャンネルMOSトランジスタQ12の直列回路、PチャンネルMOSトランジスタQ13、NチャンネルMOSトランジスタQ14の直列回路がそれぞれ6[V]の正側電源VDD2、-3[V]の負側電源VSS2に接続されて、PチャンネルMOSトランジスタQ11及びQ13のドレイン出力がそれぞれNチャンネルMOSトランジスタQ14及びQ12のゲートに接続される。またインバータ41の出力が、直接PチャンネルMOSトランジスタQ11に入力され、またインバータ47を介して他方のPチャンネルMOSトランジスタQ13に入力される。レベルシフタ42は、PチャンネルMOSトランジスタQ13のドレイン出力をバッファ48を介して出力し、これにより階調データD<sub>od1</sub>及びD<sub>ev1</sub>をレベルシフトさせて出力するようになされている。

#### 【0037】

##### (3) 実施例の動作

以上の構成において、この液晶表示装置11では(図5)、ラスタ走査順に入力される階調データD1が、シリアルパラレル変換回路16により偶数列及び奇数列の階調データD<sub>od</sub>及びD<sub>ev</sub>に分離され、この偶数列及び奇数列の階調データD<sub>od</sub>及びD<sub>ev</sub>により水平駆動回路15O及び15Eでそれぞれ表示部12の偶数列及び奇数列の信号線が駆動される。またこの階調データD1に対応するタイミング信号により垂直駆動回路13で表示部12のゲート線を駆動することにより、このようにして水平駆動回路15O及び15Eで信号線が駆動されてなる表示部12の画素がライン単位で順次選択され、これらにより配線パターンを効率良くレイアウトして高精細に画素を配置してなる表示部12に階調データD1による画像が表示される。

#### 【0038】

液晶表示装置11においては、この階調データD1を2系統の階調データD<sub>od</sub>及びD<sub>ev</sub>に分離する際に(図6)、レベルシフタ21により階調データD1の振幅が拡大されて2系統のデータに分離され、これにより表示部12の解像度に対応した高転送レートによる階調データD1が確実に2系統の階調データD<sub>od</sub>及びD<sub>ev</sub>に分離される。

#### 【0039】

この処理において、この液晶表示装置11では、ラッチ回路22、23で交互に階調データD1をラッチして2系統の階調データD<sub>od</sub>及びD<sub>ev</sub>に分離することにより、またこのシリアルパラレル変換回路16を含む駆動回路が表示部12の絶縁基板であるガラス基板上に一体に形成されて、低温ポリシリコンにより作成されていることにより、階調データの各ビットが長時間、Lレベルに保持されると、続く論理レベルの立ち上がりの後の立ち下がり遅延時間が大きくなり、これによりラッチ回路22、23で正しく階調データD1をラッチできなくなる。またこのような論理レベルの立ち上がりにおいては、これとは逆に、遅延時間が短くなり、この場合も、条件によってはラッチ回路22、23で正しく階調データD1をラッチできなくなる。

#### 【0040】

このためこの実施例では、レベルシフタ21の出力段に設けられたオア回路27により、このように一定の周期で、一定期間の間、一定の論理レベルに保持される休止期間を有

する入力データである階調データに対して、この休止期間である水平ブランキング期間の間の所定のタイミングで、この一定の論理レベルとは逆の論理レベルによるダミーデータ DD が階調データ D1 に介挿される (図 2 及び図 3)。

#### 【0041】

その結果、この液晶表示装置 11 では、何らダミーデータ DD を介挿しない場合に比して、水平ブランキング期間に続く論理レベルの立ち上がりにおいて、遅延時間の変化を解消し得、他のデューティ比 50 [%] により論理レベルが反転している期間と同様の遅延時間を確保することができる。これによりこの実施例では、TF T 等による論理回路において遅延時間の変化を有効に回避することができる。またビデオデータのデータ処理回路である液晶表示装置において、このような遅延時間の変化による誤った階調による表示を有効に回避することができる。

#### 【0042】

すなわちこれにより液晶表示装置 11 では、垂直ブランキングに続く論理レベルの立ち上がりに関して、ラッチ回路 22、23 に入力する階調データ D1 の切り換わりに係る遅延時間の変化を補正し得、これによりラッチ回路 22、23 において、有効映像期間における場合と同様のタイミングにより階調データ D1 をサンプリングして 2 系統の階調データ D<sub>od</sub> 及び D<sub>ev</sub> に正しく分離することができる。従って垂直ブランキング期間 VBL の立ち上がりに対応する画素を正しい階調により表示することができる。また黒レベルが数ライン連続して白レベルに立ち上がるような場合、さらには複数ビットの特定ビットが数ライン連続して L レベルに保持されて立ち上がるような場合でも、正しく入力データ D1 をラッチし得、これにより液晶表示装置に適用して各画素の階調を正しく表示することができる。

#### 【0043】

なおこのような遅延時間に係る補正にあつては、水平駆動回路 15O 及び 15E におけるラッチの処理においても、各ラッチ処理における時間軸方向のマージンを拡大することができ、これによってもこの液晶表示装置 11 では、安定に動作して所望する画像を確実に表示できるようになされている。

#### 【0044】

##### (4) 実施例の効果

以上の構成によれば、入力データである階調データ D1 にダミーデータ DD を介挿して階調データ D1 の論理レベルを強制的に切り換えることにより、TF T による論理回路において遅延時間の変化を有効に回避することができる。これによりビデオデータの処理に適用してビデオデータを正しく処理し得、液晶表示装置においては、正しい階調により所望する画像を表示することができる。

#### 【0045】

またビデオデータである階調データの処理において、水平ブランキング期間でダミーデータ DD を介挿することにより、垂直ブランキング期間の直後における論理レベルの立ち上がり、数ラインの期間の間、論理レベルが立ち下がった直後の論理レベルの立ち上がり等において、遅延時間の変化を補正して正しくビデオデータを処理することができる。

#### 【実施例 2】

#### 【0046】

ところで上述の実施例 1 においては、休止期間にダミーデータを介挿すれば、TF T 等の論理回路における遅延時間の変化を防止することができるとの知見に基づき、水平ブランキング期間にダミーデータを介挿し、水平ブランキング期間に続く論理レベルの立ち下がりに係る遅延時間の増大を防止するようにしたものである。

#### 【0047】

これに対して上述の遅延時間補正原理で述べたように、TF T の論理回路における論理レベルの立ち上がりにおいては、このような論理レベルの立ち下がりとは逆に、直前で、一定期間、入力データの論理レベルが一定値に保持されると遅延時間が減少し、休止期間にダミーデータを介挿する構成にあつては、このような遅延時間の減少に係る遅延時間の

変動についても防止することができる。

【0048】

これらの認識に基づいて実施例1に係る構成による効果を改めて検証すべく、図6の構成においてリセットパルスHDrstの供給を中止することによりダミーデータの介挿を中止し、黒色に縁取りして正方形形状により白色を表示したところ、図9において矢印Aにより示すように、この正方形形状による白色の領域が走査開始端側で水平方向に1画素分飛び出して表示された。

【0049】

またこの状態で、サンプリングパルスspをトリガにしてオア回路27の出力データD27を詳細に波形観測したところ、この水平方向に1画素分、飛び出してなる箇所では、論理レベルの立ち上がるタイミングが進み、これにより本来、論理レベルがLレベルによりラッチされるべき直前画素が、続く画素の論理Hレベルによりラッチされていることが判った。

【0050】

しかしてこのことから、入力データD1を切り換えて波形観測したところ、図10に示すように、長期間、入力データの論理レベルが一定値に保持された場合、続く画素j+1に対応する論理レベルの立ち上がりにおいては、その立ち上がりのタイミングだけが進み、立ち下りのタイミングにあっては、何ら変化していないことが確認された(図10(B1)～(C2))。なおこの図10において、符号2spは(図10(A))、ラッチ2回路2、23に輸入されるラッチパルスsp、xspの2倍の周期によるこれらラッチパルスsp、xspの生成基準信号である。

【0051】

これにより図6に示す構成にあっては、休止期間にダミーデータを介挿してTF Tの論理回路における遅延時間の変化を防止する構成ではあるものの、この遅延時間の変化が論理レベルの立ち下りに係る遅延時間の増大によるものではなく、論理レベルの立ち上りに係る遅延時間の減少によるものであることが判った。

【0052】

これによりこの実施例によれば、遅延時間補正原理で述べたように、論理レベルの立ち上りに係る遅延時間の減少による遅延時間の変化についても、確実に防止できることを確認することができた。

【実施例3】

【0053】

なお上述の実施例においては、レベルシフタの出力段でダミーデータを介挿する場合について述べたが、本発明はこれに限らず、さらに高速度で階調データを処理する場合に、レベルシフタにおける遅延時間の変化まで問題となる場合には、レベルシフタの入力側でダミーデータを介挿するようにしてもよい。

【0054】

また上述の実施例においては、水平ブランキング期間にダミーパルスを介挿する場合について述べたが、本発明はこれに限らず、必要に応じて垂直ブランキング期間に介挿するようにしてもよい。

【0055】

また上述の実施例においては、本発明を液晶表示装置に適用して階調データの処理において遅延時間を補正する場合について述べたが、本発明はこれに限らず、種々のビデオデータの処理回路に広く適用することができる。

【0056】

また上述の実施例においては、本発明をビデオデータの処理回路に適用した場合について述べたが、本発明はこれに限らず、種々のデータ処理回路において、遅延時間を補正する場合に広く適用することができる。

【0057】

また上述の実施例においては、低温ポリシリコンによる能動素子による液晶表示装置に

本発明を適用する場合について述べたが、本発明はこれに限らず、高温ポリシリコンによる能動素子による液晶表示装置、CGS (Continuous Grain Silicon) による能動素子による液晶表示装置等、各種の液晶表示装置、さらにはEL (Electro Luminescence) 表示装置等、種々のフラットディスプレイ装置、さらには種々の論理回路に広く適用することができる。

【産業上の利用可能性】

【0058】

本発明は、例えば絶縁基板上に駆動回路を一体に形成した液晶表示装置に適用することができる。

【図面の簡単な説明】

【0059】

【図1】 本発明に係る遅延時間の補正原理の説明に供するブロック図である。

【図2】 図1に係る補正原理の説明に供するタイミングチャートである。

【図3】 垂直ブランキング期間と遅延時間との関係を示すタイミングチャートである。

【図4】 遅延時間が減少する場合について、遅延時間の変化の説明に供するタイミングチャートである。

【図5】 本発明の実施例1に係る液晶表示装置を示すブロック図である。

【図6】 図5の液晶表示装置におけるシリアルパラレル変換回路を周辺構成と共に示すブロック図である。

【図7】 図6のシリアルパラレル変換回路におけるラッチ回路を示す接続図である。

【図8】 図6のシリアルパラレル変換回路におけるダウンコンバータを示す接続図である。

【図9】 実施例2に係る遅延時間の変化の説明に供する略線図である。

【図10】 図9の遅延時間の変化の説明に供するタイミングチャートである。

【図11】 遅延時間の変化の説明に供するブロック図である。

【図12】 遅延時間の変化の説明に供するタイミングチャートである。

【図13】 垂直ブランキング期間と遅延時間との関係を示すタイミングチャートである。

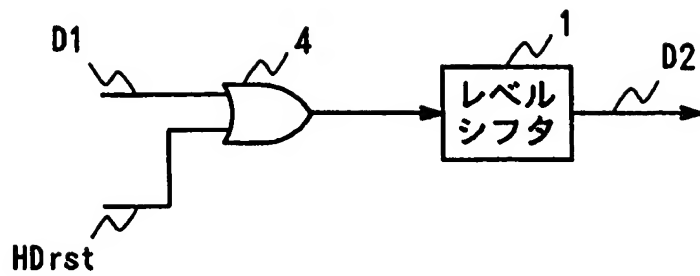
【符号の説明】

【0060】

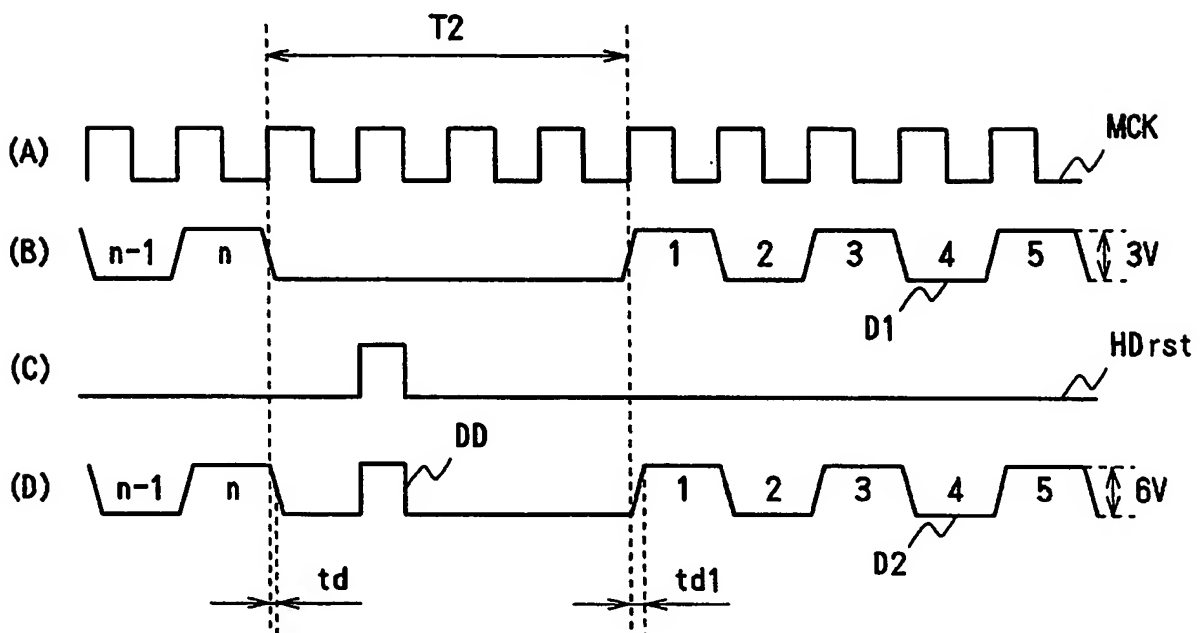
1、21、42……レベルシフタ、4、27……オア回路、11……液晶表示装置、12……表示部、14……タイミングジェネレータ、15O、15E……水平駆動回路、22、23……ラッチ回路、24、25……ダウンコンバータ

【書類名】 図面

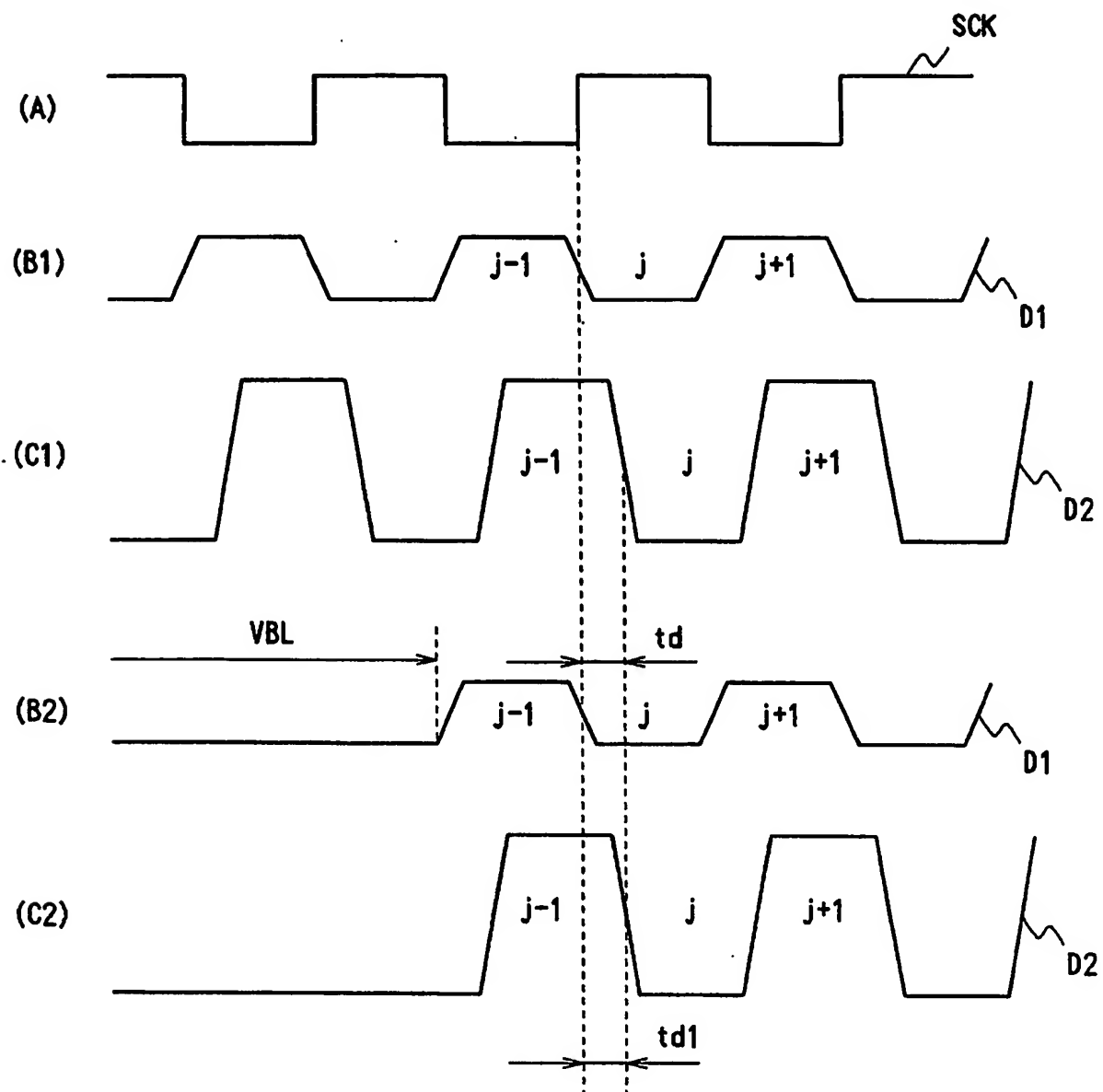
【図 1】



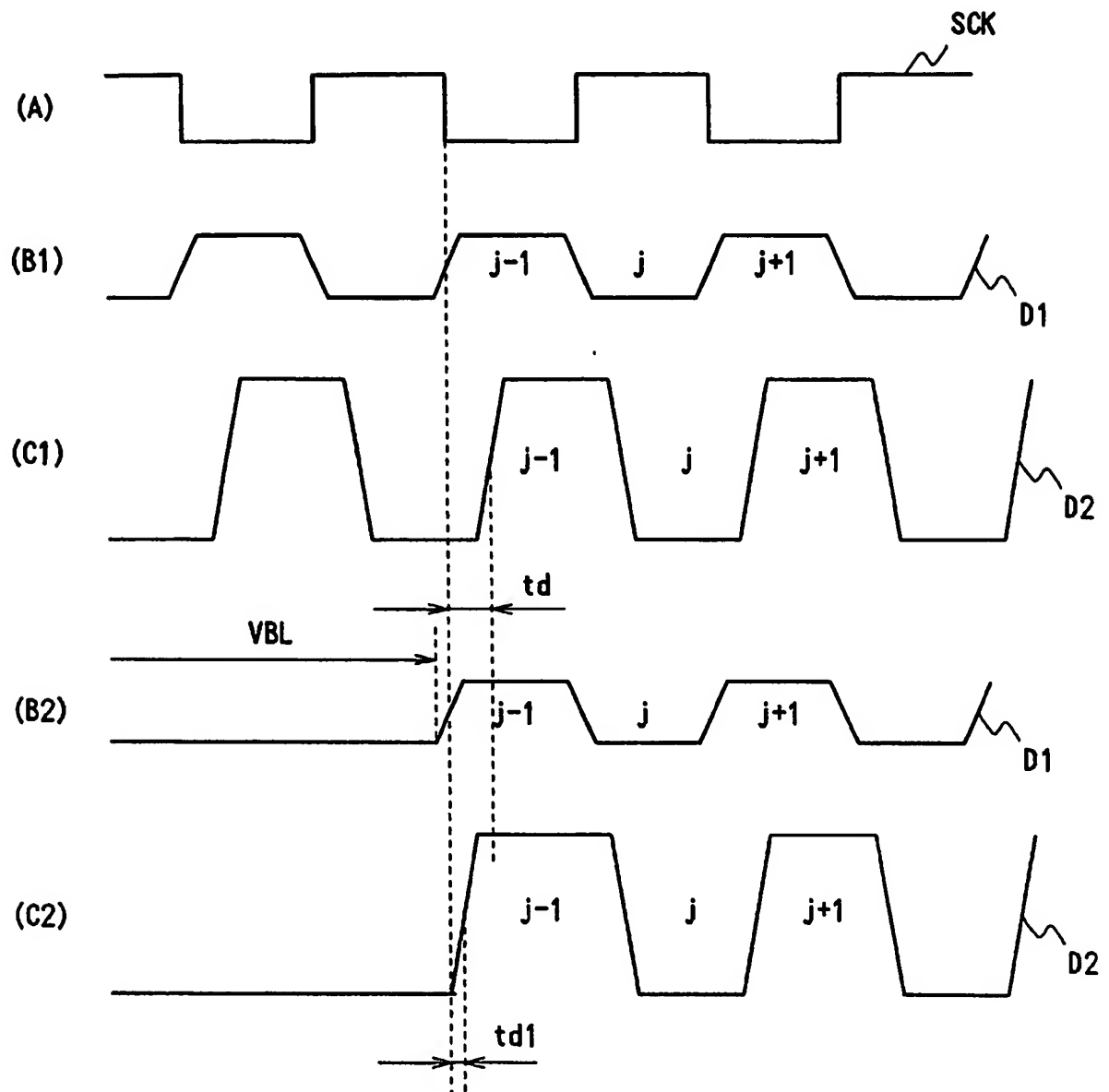
【図 2】



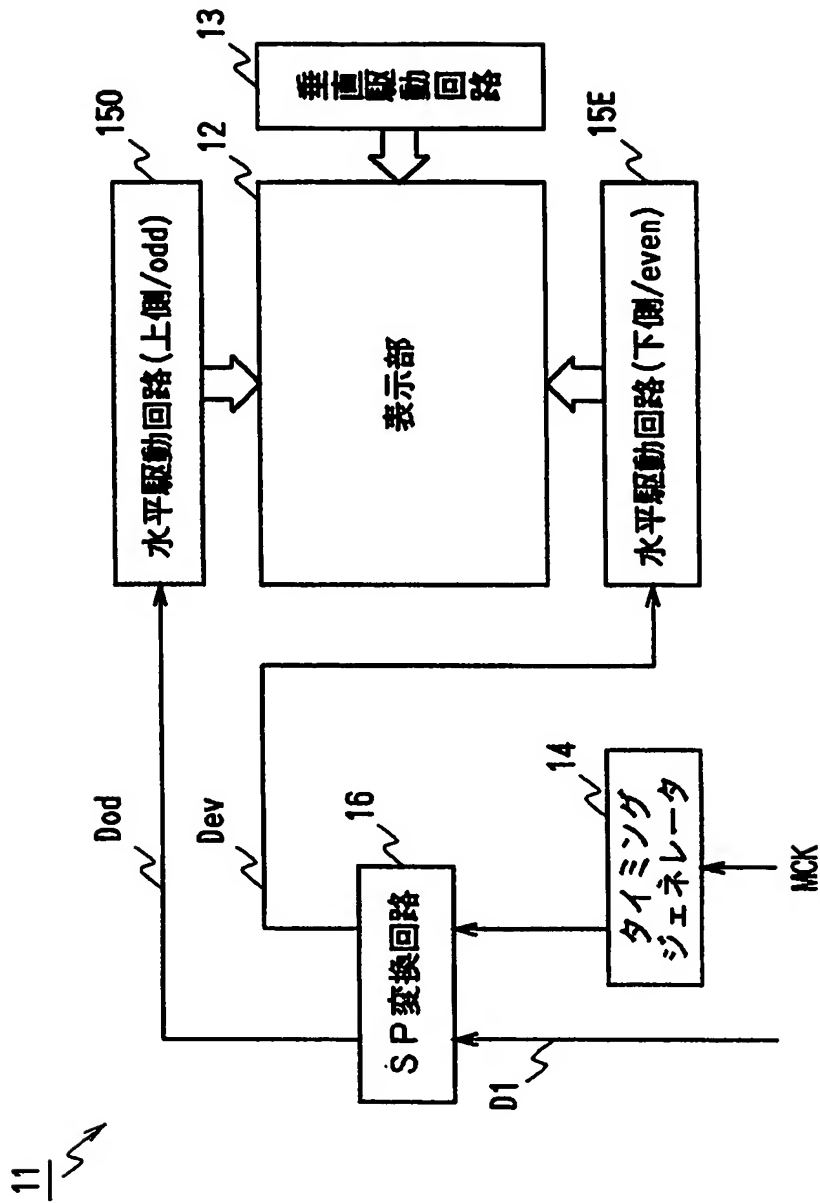
【図 3】



【図 4】

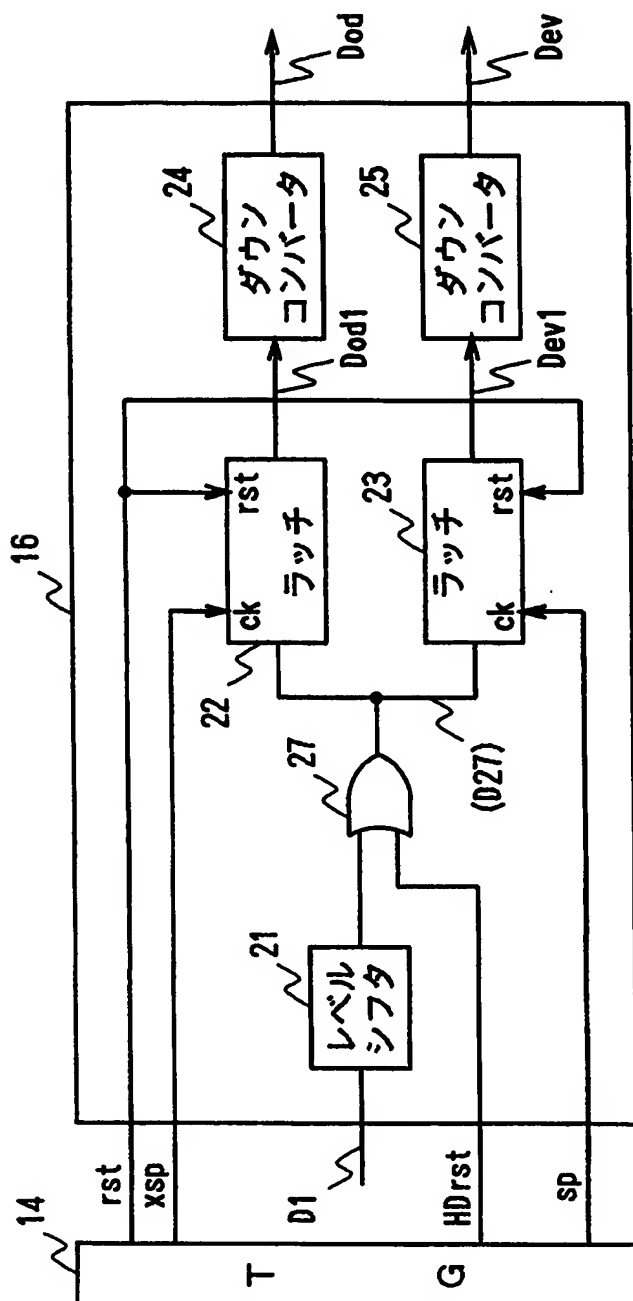


【図5】



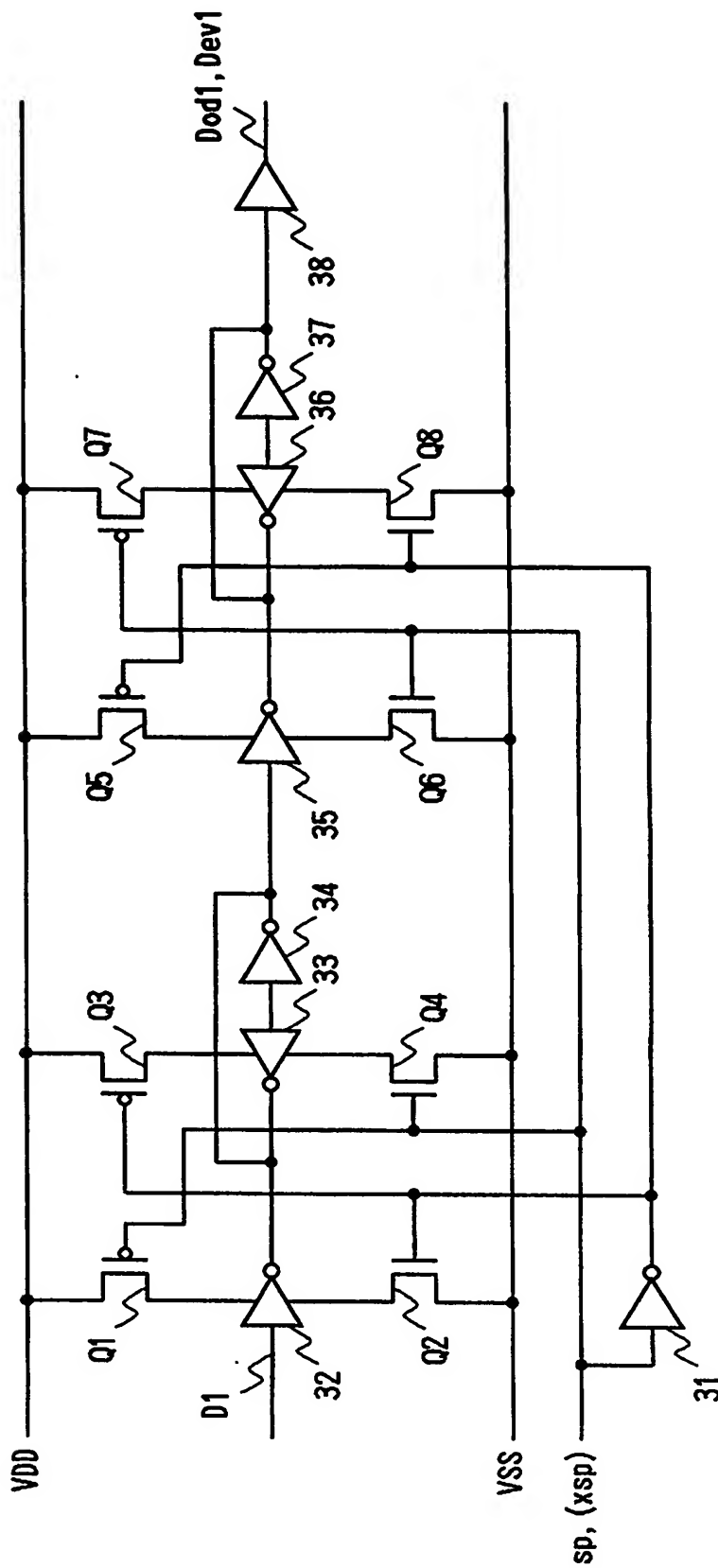


【図 6】

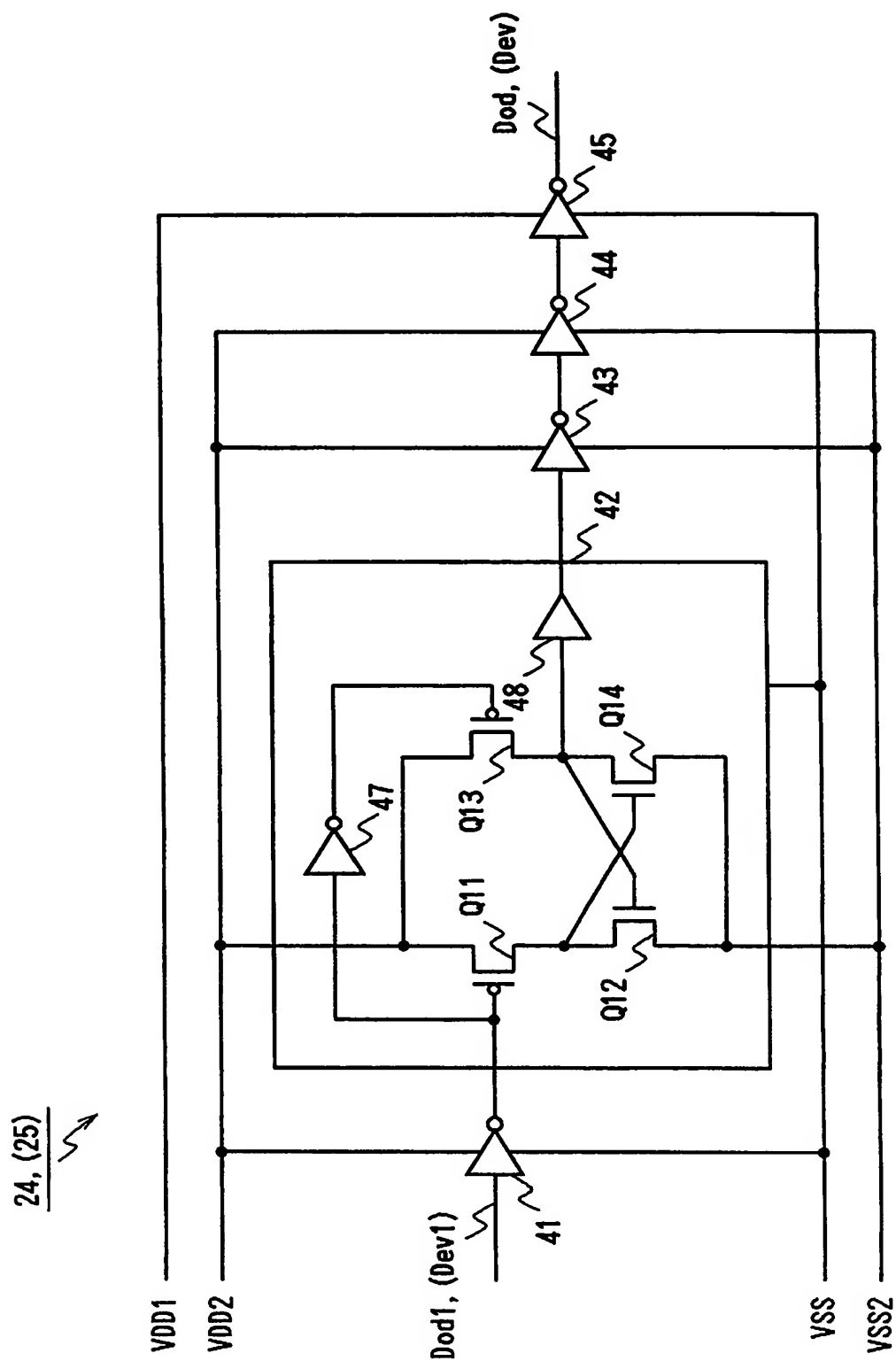


【図 7】

22, (23)



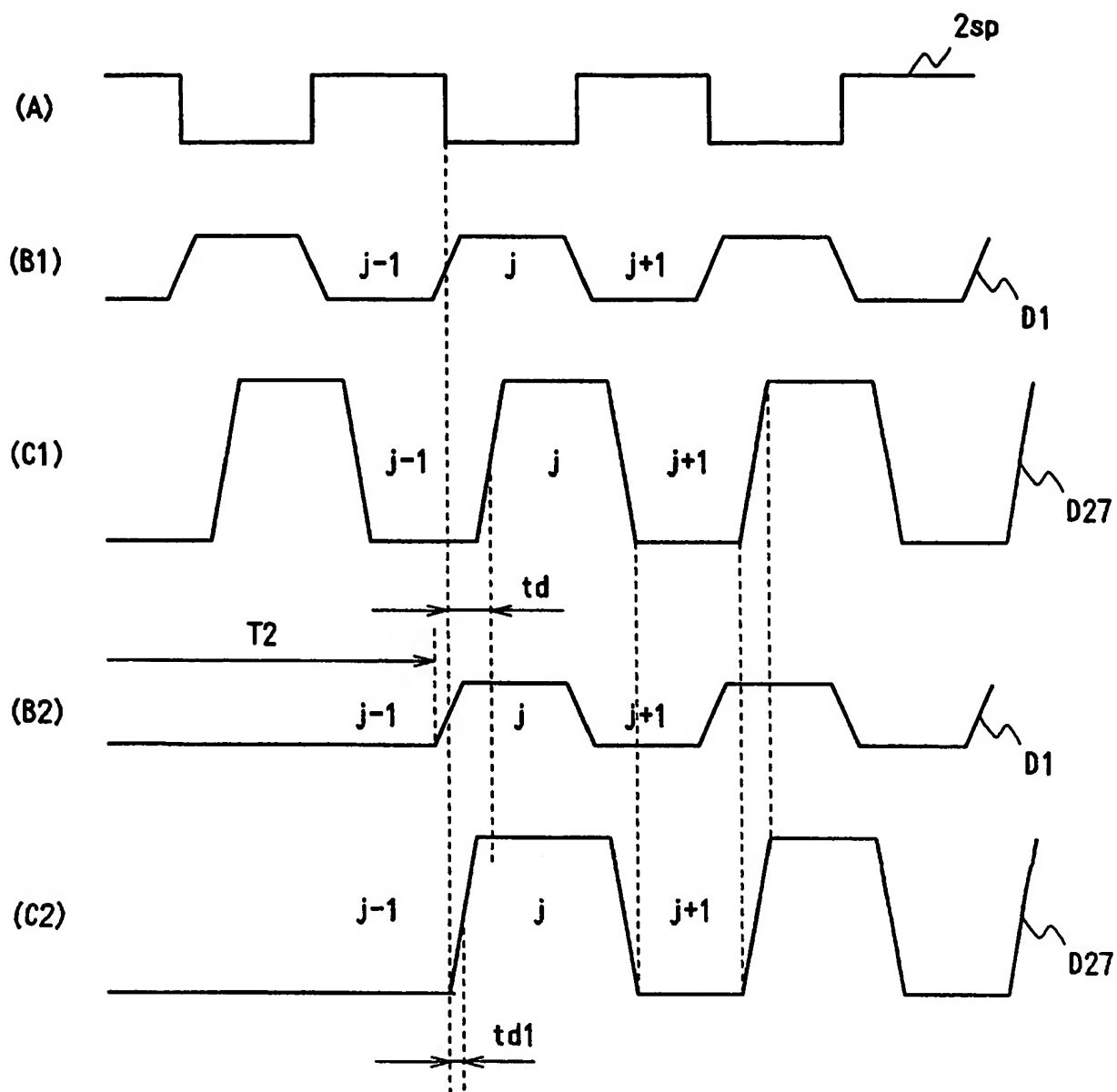
【図 8】



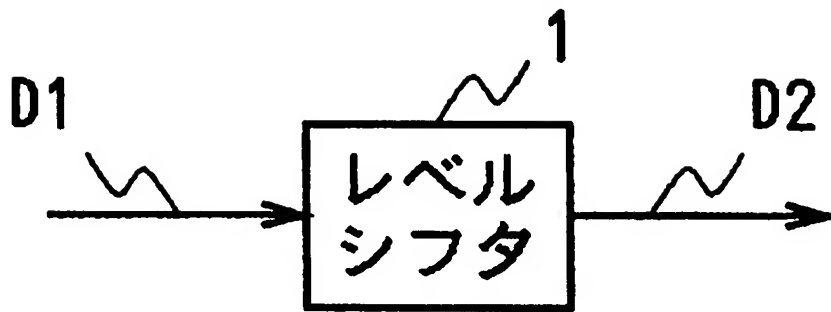
【図 9】



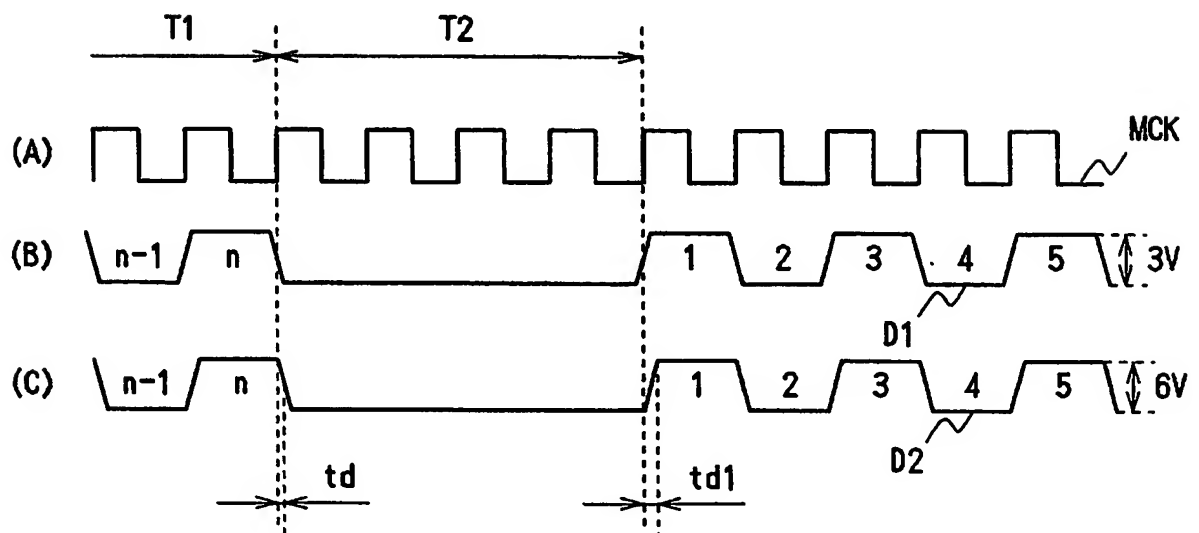
【図 10】



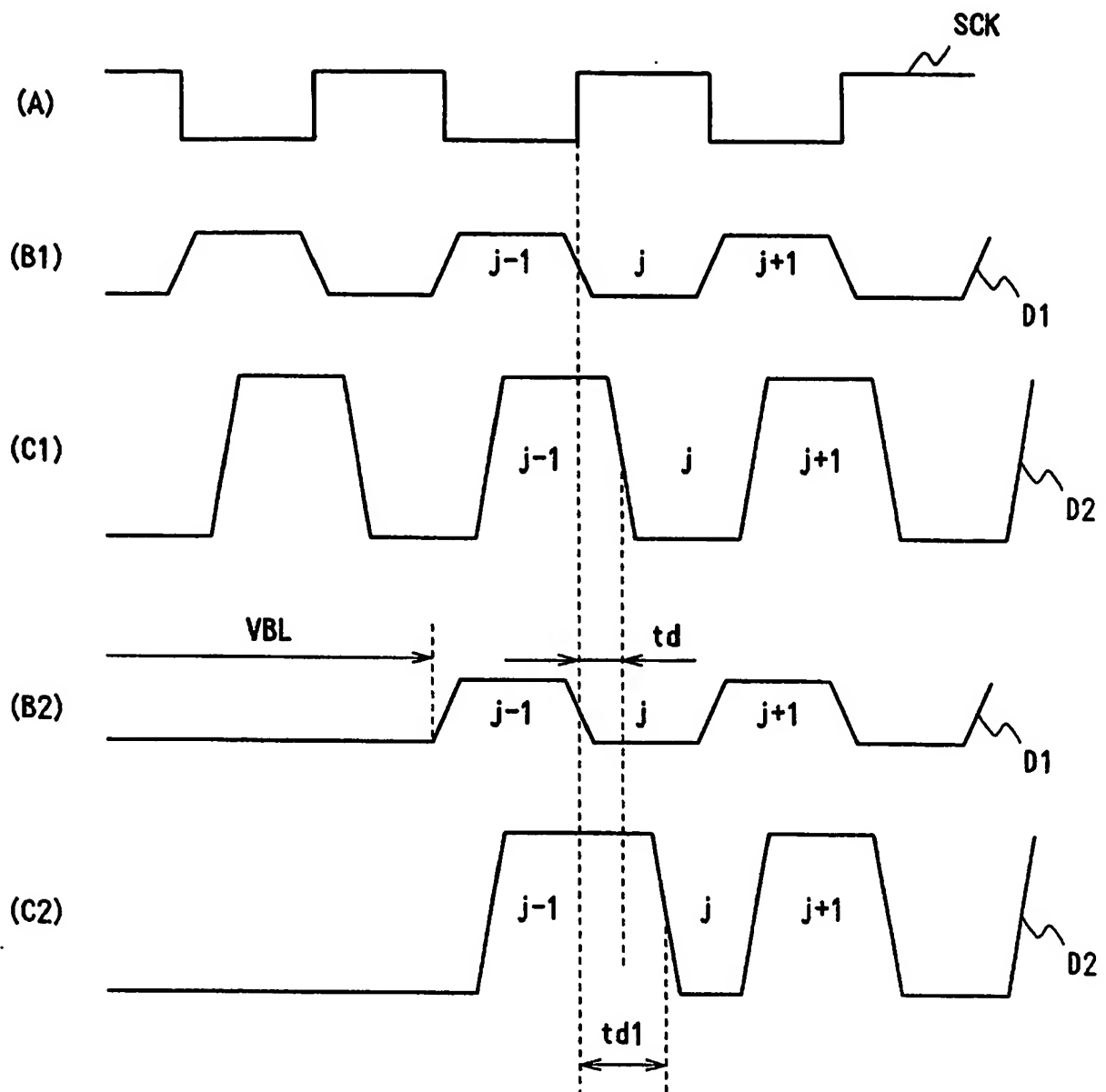
【図 1 1】



【図 1 2】



【図 13】



**【書類名】要約書****【要約】**

**【課題】** 本発明は、遅延時間補正回路、ビデオデータ処理回路及びフラットディスプレイ装置に関し、例えば絶縁基板上に駆動回路を一体に形成した液晶表示装置に適用して、TFT等による論理回路において遅延時間の変化を有効に回避することができるようにする。

**【解決手段】** 本発明は、入力データD1にダミーデータを介挿して(4)入力データD1の論理レベルを強制的に切り換える。

**【選択図】** 図1



## 認定・付加情報

特許出願の番号	特願 2003-347803
受付番号	50301666020
書類名	特許願
担当官	第八担当上席 0097
作成日	平成 15 年 10 月 10 日

## &lt;認定情報・付加情報&gt;

## 【特許出願人】

## 【識別番号】

000002185

## 【住所又は居所】

東京都品川区北品川 6 丁目 7 番 35 号

## 【氏名又は名称】

ソニー株式会社

## 【代理人】

申請人

## 【識別番号】

100102185

## 【住所又は居所】

東京都豊島区東池袋 2 丁目 45 番 2 号ステラビル

501 多田特許事務所

## 【氏名又は名称】

多田 繁範

特願 2 0 0 3 - 3 4 7 8 0 3

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 2 1 8 5 ]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都品川区北品川 6 丁目 7 番 3 5 号

氏 名

ソニー株式会社